

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-025678

(43)Date of publication of application : 29.01.1999

(51)Int.Cl.

G11C 11/417
G11C 11/409
G11C 16/06
H03K 19/0175

(21)Application number : 10-160957

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 09.06.1998

(72)Inventor : LEE SANG-JAE
BAE MEIKO

(30)Priority

Priority number : 97 9728114
97 9777760Priority date : 27.06.1997
30.12.1997

Priority country : KR

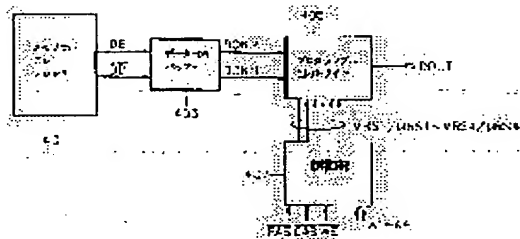
KR

(54) OUTPUT DRIVER AND SEMICONDUCTOR STORAGE

(57)Abstract:

PROBLEM TO BE SOLVED: To program driving capability of an output driver in accordance with a difference of loads loaded on an output pad.

SOLUTION: A programmable output driver 405 is provided with plural output driving sections controlled independently by a corresponding control signal out of plural control signals (MRS1-MRS4, /MRS1-/MRS4), and can adjust driving capability by a program. A semiconductor storage including the programmable output driver 405 is provided with a control section 407 to generate plural control signals (MRS1-MRS4, /MRS1-/MRS4) responding to instruction signals (/RAS, /CAS, /WE) and addresses (A1-A4) for selecting a mode externally applied, and when the instruction signal is active, driving capability of the programmable output driver 405 can be determined by applying an address.



LEGAL STATUS

[Date of request for examination] 05.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-25678

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 11/417
11/409
16/06
H 0 3 K 19/0175

C 1 1 C 11/34 3 0 5
3 5 4 Q
17/00 6 3 6 B
H 0 3 K 19/00 1 0 1 F

審査請求 未請求 請求項の数13 O L (全 8 頁)

(21) 出願番号 特願平10-160957

(22) 出願日 平成10年(1998) 6月9日

(31) 優先権主張番号 97-28114

(32) 優先日 1997年6月27日

(33) 優先権主張国 韓国 (K R)

(31) 優先権主張番号 97-77760

(32) 優先日 1997年12月30日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅礎洞416

(72) 発明者 李△祥▽載

大韓民国ソウル特別市江南区道谷洞464番

地開浦韓信アパート8棟709号

(72) 発明者 △ばえ▽明虎

大韓民国京畿道水原市勸善区勸善洞1185番

地三星アパート8棟105号

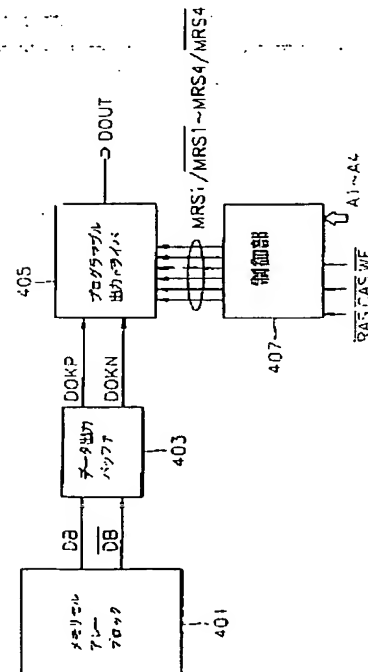
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 出力ドライバ及び半導体メモリ装置

(57) 【要約】

【課題】出力パッドにかかる負荷の差に応じて出力ドライバの駆動能力をプログラムする。

【解決手段】プログラマブル出力ドライバ405は、複数の制御信号(MRS1~MRS4、/MRS1~/MRS4)のうち該当する制御信号により独立的に制御される複数の出力駆動部を具備し、プログラムにより駆動能力を調節することができる。プログラマブル出力ドライバ405を含む半導体メモリ装置は、外部から印加されるモード選択のための命令信号(/RAS、/CAS、/WE)とアドレス(A1~A4)とにตอบสนองして複数の制御信号(MRS1~MRS4、/MRS1~/MRS4)を発生する制御部407を具備し、命令信号がアクティブである時にアドレスを印加することによりプログラマブル出力ドライバ405の駆動能力を決定することができる。



【特許請求の範囲】

【請求項1】 出力端と、

第1及び第2出力信号にตอบสนองして前記出力端を各々駆動する複数個の出力駆動部と、
を具備し、前記各出力駆動部は、複数個の制御信号のうち該当する制御信号により独立的に制御されることを特徴とする出力ドライバ。

【請求項2】 前記制御信号により制御されず、前記第1及び第2出力信号にตอบสนองして前記出力端を駆動する他の出力駆動部をさらに具備することを特徴とする請求項1に記載の出力ドライバ。

【請求項3】 前記各出力駆動部は、
ソースに電源電圧が印加され、ゲートに前記複数個の制御信号のうち該当する制御信号の反転信号が印加されるPMOSスイッチトランジスタと、
ソースに前記PMOSスイッチトランジスタのドレインが接続され、ゲートに前記第1出力信号が印加され、ドレインに前記出力端が接続されるPMOSプルアップトランジスタと、
ドレインに前記出力端が接続され、ゲートに前記第2出力信号が印加されるNMOSプルダウントランジスタと、
ドレインに前記NMOSプルダウントランジスタのソースが接続され、ゲートに前記複数個の制御信号のうち該当する制御信号が印加され、ソースに接地電圧が印加されるNMOSスイッチトランジスタと、
を具備することを特徴とする請求項1に記載の出力ドライバ。

【請求項4】 前記出力駆動部は、
ソースに電源電圧が印加され、ゲートに前記第1出力信号が印加され、ドレインに前記出力端が接続されるPMOSプルアップトランジスタと、
ドレインに前記出力端が接続され、ゲートに前記第2出力信号が印加され、ソースに接地電圧が印加されるNMOSプルダウントランジスタと、
を具備することを特徴とする請求項2に記載の出力ドライバ。

【請求項5】 メモリセルアレイブロックと、
前記メモリセルアレイブロックからデータバスを通して伝達された出力データを受取って第1及び第2出力信号を発生するデータ出力バッファと、
パッドと、
複数個の制御信号によるプログラムにより駆動能力が調節され、前記第1及び第2出力信号にตอบสนองして前記パッドを駆動するプログラマブル出力ドライバと、
を具備することを特徴とする半導体メモリ装置。

【請求項6】 モード選択のための命令信号とアドレスとにตอบสนองして前記複数個の制御信号を発生する制御部をさらに具備することを特徴とする請求項5に記載の半導体メモリ装置。

【請求項7】 前記プログラマブル出力ドライバは、前

記第1及び第2出力信号にตอบสนองして前記パッドを各々駆動する複数個の出力駆動部を具備し、前記各出力駆動部は、前記複数個の制御信号のうち該当する制御信号により独立的に制御されることを特徴とする請求項5に記載の半導体メモリ装置。

【請求項8】 前記プログラマブル出力ドライバは、前記制御信号により制御されなく、前記第1及び第2出力信号にตอบสนองして前記パッドを駆動する出力駆動部をさらに具備することを特徴とする請求項7に記載の半導体メモリ装置。

【請求項9】 前記各出力駆動部は、
ソースに電源電圧が印加され、ゲートに前記複数個の制御信号のうち該当する制御信号の反転信号が印加されるPMOSスイッチトランジスタと、
ソースに前記PMOSスイッチトランジスタのドレインが接続され、ゲートに前記第1出力信号が印加され、ドレインに前記パッドが接続されるPMOSプルアップトランジスタと、
ドレインに前記パッドが接続され、ゲートに前記第2出力信号が印加されるNMOSプルダウントランジスタと、
ドレインに前記NMOSプルダウントランジスタのソースが接続され、ゲートに前記複数個の制御信号のうち該当する制御信号が印加され、ソースに接地電圧が印加されるNMOSスイッチトランジスタと、
を具備することを特徴とする請求項7に記載の半導体メモリ装置。

【請求項10】 前記出力駆動部は、
ソースに電源電圧が印加され、ゲートに前記第1出力信号が印加され、ドレインに前記パッドが接続されるPMOSプルアップトランジスタと、
ドレインに前記パッドが接続され、ゲートに前記第2出力信号が印加され、ソースに接地電圧が印加されるNMOSプルダウントランジスタと、
を具備することを特徴とする請求項8に記載の半導体メモリ装置。

【請求項11】 前記制御部は、
前記モード選択のための命令信号にตอบสนองしてモード制御信号を発生するモードレジスタセット制御部と、
前記モード制御信号と前記アドレスにตอบสนองして前記複数個の制御信号を発生する制御信号発生部と、
を具備することを特徴とする請求項6に記載の半導体メモリ装置。

【請求項12】 前記モード選択のための命令信号は、
ローアドレスストロブ信号と、
カラムアドレスストロブ信号と、
書込イネーブル信号と、
を含み、これらが全てアクティブにされた後に、前記モードレジスタ制御部は、前記モード制御信号をアクティブにすることを特徴とする請求項11に記載の半導体メモリ装置。

【請求項13】 前記制御信号発生部は、前記モード制御信号がアクティブである時に、前記アドレスの各ビットを前記各制御信号として出力することを特徴とする請求項11に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、出力ドライバ及び半導体メモリ装置に関する。

【0002】

【従来の技術】半導体装置がシステムに採用される場合において、半導体装置の出力端、即ち出力パッドは大きな負荷を有するので、半導体装置には出力パッドを駆動するための出力ドライバが含まれる。特に、システムは大容量のメモリを要求するので、通常は、図1に示すように、多数個の半導体メモリ装置101乃至107で構成されるモジュールがシステムに備えられる。従って、半導体メモリ装置の出力ドライバは、モジュールラインの負荷を十分に考慮して設計する必要がある。

【0003】また、図1に示すように、システムボードに含まれるモジュール111乃至117の数が増加すると、モジュールラインの長さの差により負荷の差が発生し、これにより信号のスキュー(Skew)が発生する。このような信号のスキューは、高周波システムを実現する際に大きな障害となるので、半導体メモリ装置の出力ドライバは、モジュールラインの負荷を十分に考慮して設計する必要がある。

【0004】従来の出力ドライバは、例えば、図2に示すように、第1出力信号DOKPがゲートに印加され、ドレインに出力パッドDOUTが接続されるPMOSプルアップトランジスタP1と、第2出力信号DOKNがゲートに印加され、ドレインに出力パッドDOUTが接続されるNMOSプルダウントランジスタN1とで構成される。

【0005】又は、従来の出力ドライバは、例えば、図3に示すように、第1出力信号DOKPがゲートに印加され、ソースに出力パッドDOUTが接続されるNMOSプルアップトランジスタN2と第2出力信号DOKNがゲートに印加され、ドレインに出力パッドDOUTが接続されるNMOSプルダウントランジスタN3とで構成される。

【0006】第1及び第2出力信号DOKP及びDOKNは、出力ドライバの入力端に接続されるデータ出力バッファ(図示せず)がチップ内から伝えられた出力データを受取って発生する信号である。

【0007】ところが、従来の出力ドライバの駆動能力は、プルアップトランジスタ及びプルダウントランジスタの大きさにより予め固定される。従って、従来の出力ドライバは、多数個のモジュールを含むシステムボードにおいて、モジュールラインの長さの差により、即ち出力パッドにかかる負荷の差によって発生する信号のスキューを効率的に低減することができないという短所がある。

【0008】

【発明が解決しようとする課題】本発明の目的は、出力パッドにかかる負荷の差に応じて駆動能力をプログラムすることができるプログラマブル出力ドライバを提供することにある。

【0009】本発明の他の目的は、出力パッドにかかる負荷の差に応じて駆動能力をプログラムすることができるプログラマブル出力ドライバを具備する半導体メモリ装置を提供することにある。

【0010】

【課題を解決するための手段】前記目的を達成するための本発明に係るプログラマブル出力ドライバは、出力端と、第1及び第2出力信号にตอบสนองして前記出力端を各々駆動する複数個の出力駆動部とを具備し、前記各出力駆動部は、複数個の制御信号のうち該当する制御信号により独立的に制御されることを特徴とする。

【0011】上記のプログラマブル出力ドライバは、例えば、前記制御信号により制御されず、前記第1及び第2出力信号にตอบสนองして前記出力端を駆動する他の出力駆動部をさらに具備してもよい。

【0012】前記他の目的を達成するための本発明に係る半導体メモリ装置は、メモリセルアレイブロックと、データ出力バッファと、パッドと、プログラマブル出力ドライバと、制御部とを具備することを特徴とする。

【0013】前記データ出力バッファは、例えば、前記メモリセルアレイブロックからデータバスを通して伝達された出力データを受取って第1及び第2出力信号を発生し、前記プログラマブル出力ドライバは、例えば、複数個の制御信号によりプログラム可能に駆動能力が決定され、前記第1及び第2出力信号にตอบสนองして前記パッドを駆動する。前記制御部は、例えば、モード選択のための命令信号とアドレスとにตอบสนองして前記複数個の制御信号を発生する。

【0014】前記プログラマブル出力ドライバは、例えば、前記第1及び第2出力信号にตอบสนองして前記パッドを各々駆動する複数個の出力駆動部を具備し、前記各出力駆動部は、例えば、前記複数個の制御信号のうち該当する制御信号により独立的に制御される。また、前記プログラマブル出力ドライバは、例えば、前記制御信号により制御されず、前記第1及び第2出力信号にตอบสนองして前記パッドを駆動する他の出力駆動部をさらに具備してもよい。

【0015】前記制御部は、例えば、前記モード選択のための命令信号にตอบสนองしてモード制御信号を発生するモードレジスタセット制御部と、前記モード制御信号と前記アドレスとにตอบสนองして前記複数個の制御信号を発生する制御信号発生部とを具備する。前記モード選択のための命令信号は、例えば、ローアドレスストロブ信号と、カラムアドレスストロブ信号と、書込イネーブル信号とを含み、これらが全てアクティブされる時に前記

モード制御信号がアクティブにされる。前記制御信号発生部は、例えば、前記モード制御信号がアクティブされる時に前記アドレスの各ビットを前記各制御信号として出力する。

【0016】

【発明の実施の形態】以下、添付図面に基づいて本発明の好適な実施の形態を説明する。なお、各図面において、文字列（例えば、RAS）の上部に線を付した符号は、明細書において、当該文字列（例えば、RAS）の頭部に“/”を付した符号（例えば、/RAS）と同一の信号を意味する。

【0017】図4に示すように、本発明の好適な実施の形態に係る半導体メモリ装置は、メモリセルアレイブロック401と、データ出力バッファ403と、プログラマブル出力ドライバ405と、制御部407と、パッドDOUTとを具備する。

【0018】データ出力バッファ403は、メモリセルアレイブロック401からデータバスDB及び/DBを通して伝達された出力データを受取って、第1及び第2出力信号DOKP及びDOKNを発生する（通常のデータ出力バッファと同様）。プログラマブル出力ドライバ405は、複数個の制御信号MRS1及び/MRS1乃至MRS4及び/MRS4により、駆動能力をプログラムにより調節され、第1及び第2出力信号DOKP及びDOKNにตอบสนองしてパッドDOUT、即ち出力端を駆動する。制御部407は、半導体メモリ装置のモード選択のための命令信号、即ちローアドレスストローブ信号、カラムアドレスストローブ信号及び書込イネーブル信号並びにアドレスA1乃至A4にตอบสนองして、複数個の制御信号MRS1及び/MRS1乃至MRS4及び/MRS4を発生する。

【0019】具体的には、半導体メモリ装置において、プログラマブル出力ドライバ405の駆動能力を決定する場合は、外部から印加される命令信号/RAS、/CAS及び/WEを全てアクティブにした後にアドレスA1乃至A4を印加する。これにより、制御部407は、アドレスA1乃至A4にตอบสนองして、複数個の制御信号MRS1及び/MRS1乃至MRS4及び/MRS4のうち選択される信号をアクティブにし、そのアクティブにした制御信号によりプログラマブル出力ドライバ405の駆動能力が決定される。即ち、アドレスA1乃至A4によりプログラマブル出力ドライバ405の駆動能力が決定される。

【0020】従って、例えば図1に示すように、システムボードに複数個のモジュールを搭載したシステムにおいて、各モジュールを本実施の形態に係る複数個の半導体メモリ装置で構成し、各モジュールをアドレス又はバンク選択信号CSにより各々独立的に制御されるバンクで構成する場合、各半導体メモリ装置に該当するアドレス（A1乃至A4）を印加することにより、各半導体メモリ装置の出力ドライバの駆動能力を個別に調節することができる。即ち、この場合、モジュールの位置とモジュールラインの長さの差とに起因する各半導体メモリ装置のパ

ッドにかかる負荷の差を考慮して、各半導体メモリの実出力ドライバの大きさを個別に調節することができる。

【0021】各モジュールは、一つのバンクで構成してもよいし、複数個のバンクで構成してもよい。また、同一のバンクに属する半導体メモリ装置の出力ドライバの大きさ、即ち駆動能力の大きさが同一になるように制御される。これにより、モジュールの位置とモジュールラインの長さの差とに応じて、即ちメモリ装置のパッドにかかる負荷の差に応じて発生する信号のスキューを効率よく減少することができる。

【0022】以下、図5及び図6を参照しながらプログラマブル出力ドライバ405の構成及び動作を説明する。

【0023】図5は、図4に示すプログラマブル出力ドライバの第1の構成例に係る回路図である。図5に示すように、第1の構成例に係るプログラマブル出力ドライバ405は、第1及び第2出力信号DOKP及びDOKNにตอบสนองしてパッドDOUT、即ち出力端を各々駆動する4つの出力駆動部501、503、505及び507を具備する。各出力駆動部501、503、505及び507は、4つの制御信号MRS1乃至MRS4のうち対応する制御信号と、これらの反転信号/MRS1乃至/MRS4のうち対応する反転信号により独立的に制御される。なお、図5には、4つのプログラマブル出力駆動部501、503、505及び507が示されているが、必要に応じて出力駆動部の数を増加又は減少することができる。

【0024】各出力駆動部501、503、505及び507は、ソースに電源電圧VCCが印加され、ゲートに反転信号/MRS1乃至/MRS4のうち対応する反転信号が印加されるPMOSスイッチトランジスタ501a、503a、505a及び507aと、ソースにPMOSスイッチトランジスタ501a、503a、505a及び507aのドレインが接続され、ゲートに第1出力信号DOKPが印加され、ドレインにパッドDOUT、即ち出力端が接続されるPMOSプルアップトランジスタ501b、503b、505b及び507bと、ドレインにパッドDOUTが接続され、ゲートに第2出力信号DOKNが印加されるNMOSプルダウントランジスタ501c、503c、505c及び507cと、ドレインにNMOSプルダウントランジスタ501c、503c、505c及び507cのソースが接続され、ゲートに制御信号MRS1乃至MRS4のうち対応する制御信号が印加され、ソースに接地電圧VSSが印加されるNMOSスイッチトランジスタ501d、503d、505d及び507dを含んで構成される。

【0025】具体的には、反転信号/MRS1乃至/MRS4により制御されるPMOSスイッチトランジスタ501a、503a、505a及び507a、並びに、制御信号MRS1乃至MRS4により制御されるNMOSスイッチトランジスタ501d、503d、505d及び507dのターンオン及びターンオフにより、第1の構成例に係る出力ドライバの大きさ、即ち駆動能力が調節される。

【0026】例えば、制御信号MRS1乃至MRS4が論理(1、1、1、1)の場合、出力駆動部501、503、505及び507のPMOSスイッチトランジスタ501a、503a、505a及び507a並び

にNMOSスイッチトランジスタ501d、503d、505d及び507dが全てターンオンされる。これにより、出力駆動部501、503、505及び507は、全て第1及び第2出力信号DOKP及びDOKNに応答してパッドDOUTを駆動する。

【0027】また、例えば、制御信号MRS1乃至MRS4が論理(0、0、0、1)の場合、出力駆動部501、503及び505のPMOSスイッチトランジスタ501a、503a及び505a並びにNMOSスイッチトランジスタ501d、503d及び505dは全てターンオフされ、一方、出力駆動部507のPMOSスイッチトランジスタ507a及びNMOSスイッチトランジスタ507dはターンオンされる。これにより、出力駆動部507のみが第1及び第2出力信号DOKP及びDOKNに応答してパッドDOUTを駆動する。

【0028】以上のように、第1の構成例に係るプログラマブル出力ドライバによれば、制御信号MRS1及びMRS1乃至MRS4及びMRS4により、駆動能力をプログラムにより調節することができる。

【0029】図6は、図4に示すプログラマブル出力ドライバの第2の構成例に係る回路図である。図6に示すように、第2の構成例に係るプログラマブル出力ドライバ405は、図5に示す第1の構成例のように、第1及び第2出力信号DOKP及びDOKNに응答してパッドDOUT、即ち出力端を各々駆動する4つの出力駆動部601、603、605及び607を具備し、各出力駆動部601、603、605及び607は、4個の制御信号MRS1乃至MRS4のうち対応する制御信号とこれらの反転信号/MRS1乃至/MRS4のうち対応する反転信号により独立的に制御される。

【0030】また、この第2の構成例に係るプログラマブル出力ドライバは、パッドDOUTを駆動する他の出力駆動部として、駆動能力が固定された出力駆動部609をさらに具備する。出力駆動部609は、制御信号MRS1乃至MRS4及び反転信号/MRS1乃至/MRS4によっては制御されず、第1及び第2出力信号DOKP及びDOKNに응答してパッドDOUTを駆動する。

【0031】なお、図6に示す第2の構成例では、4つのプログラマブル出力駆動部601、603、605及び607と、1つの駆動能力が固定された出力駆動部609とが示されているが、これらの出力駆動部の個数は、必要に応じて変更することができる。

【0032】各出力駆動部601、603、605及び607は、図5に示す出力駆動部と同様の構成を有し、ソースに電源電圧VCCが印加され、ゲートに反転信号/MRS1乃至/MRS4のうち対応する反転信号が印加されるPMOSスイッチトランジスタ601a、603a、605a及び607aと、ソースにPMOSスイッチトランジスタ601a、603a、605a及び607aのドレインが接続され、ゲートに第1出力信号DOKPが印加され、ドレインにパッドDOUT、即ち出力端が接続されるPMOSプルアップトランジスタ601b、603b、605b及び607bと、ドレインにパッドDOUTが接続され、ゲートに第2出力信号DOKNが印加されるNMOSプルダウントランジスタ601c、603

c、605c及び607cと、ドレインにNMOSプルダウントランジスタ601c、603c、605c、607cのソースが接続され、ゲートに制御信号MRS1乃至MRS4のうち対応する制御信号が印加され、ソースに接地電圧VSSが印加されるNMOSスイッチトランジスタ601d、603d、605d及び607dとを有する。

【0033】出力駆動部609は、ソースに電源電圧VCCが印加され、ゲートに第1出力信号DOKPが印加され、ドレインにパッドDOUTが接続されるPMOSプルアップトランジスタ609aと、ドレインにパッドDOUTが接続され、ゲートに第2出力信号DOKNが印加され、ソースに接地電圧VSSが印加されるNMOSプルダウントランジスタ609bとを有する。

【0034】第2の構成例に係るプログラマブル出力ドライバの大きさ、即ち駆動能力は、PMOSスイッチトランジスタ601a、603a、605a及び607a並びにNMOSスイッチトランジスタ601d、603d、605d及び607dのターンオン及びターンオフにより調節される。なお、その動作は、図5に示す第1の構成例に係るプログラマブル出力ドライバの動作と同一なので説明を省略する。

【0035】図7は、図4に示す制御部407の構成例を示すブロック図である。図7に示すように、制御部407は、モードレジスタセット制御部701と、制御信号発生部703と、アドレスバッファ部705を具備する。

【0036】モードレジスタセット制御部701は、モード選択のための命令信号、即ちローアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS及び書き込みエナブル信号/WEに응答して、モード制御信号ΦMRSを発生する。モード制御信号ΦMRSは、これらの命令信号が全てアクティブになった後にアクティブにされる。

【0037】制御信号発生部703は、モード制御信号ΦMRSとバッファリングされたアドレスADD1乃至ADD4に응答して制御信号MRS1乃至MRS4及び該制御信号の反転信号/MRS1乃至/MRS4を発生する。

【0038】アドレスバッファ部705は、外部から印加されるアドレスA1乃至A4をバッファリングして、バッファリングされたアドレスADD1乃至ADD4を出力する。図9は、制御部407の動作タイミングを示す図である。

【0039】図8は、図7に示す制御信号発生部703の構成例を示す回路図である。図8に示すように、この構成例に係る制御信号発生部703は、NANDゲート803a乃至803dと、インバータ803e乃至803iとを有し、モード制御信号ΦMRSがアクティブの時に、アドレスADD1乃至ADD4の各ビットを各制御信号MRS1乃至MRS4として出力し、アドレスADD1乃至ADD4の各反転ビットを該制御信号の反転信号/MRS1乃至/MRS4として出力する。なお、制御信号発生部703は、必要に応じて他の論理ゲートで構成することもできる。

【0040】以上のように、本発明の好適な実施の形態に係るプログラマブル出力ドライバは、複数の制御信

号のうち該当する制御信号により夫々独立的に制御される複数の出力駆動部を具備することにより、駆動能力をプログラムして調節することができる。

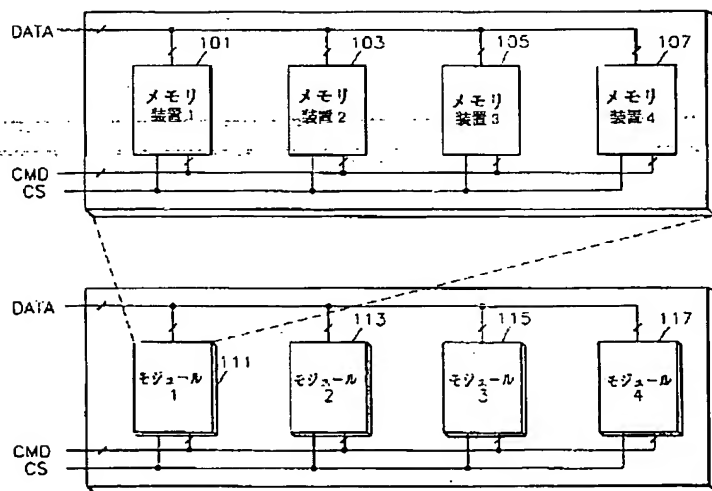
【0041】また、システムボードに多数個のモジュールを搭載したシステムにおいて、各モジュールを多数個の半導体メモリ装置で構成し、各モジュールをアドレス又はバンク選択信号により各々独立的に制御されるバンクで構成する場合、各半導体メモリ装置に該当されるアドレスを印加することにより、各メモリ装置の出力ドライバの駆動能力を個別に調節することができる。即ち、モジュールの位置とモジュールラインの長さの差に起因する各半導体メモリ装置の出力パッドにかかる負荷の差を考慮して、各半導体メモリ装置の出力ドライバの大きさを個別に調節することができる。

【0042】以上、特定の実施の形態を挙げて本発明を説明したが、本発明は、この特定の実施の形態に限定されず、本発明の技術的思想の範囲内で様々な変形が可能である。

【0043】

【発明の効果】本発明によれば、例えば、半導体メモリ装置でモジュールを構成する場合において、モジュールの位置とモジュールラインの長さの差、即ちメモリ装置の出力パッドにかかる負荷の差に応じて発生する信号のスキューを効率よく減少させることができる。

【図1】



【0044】

【図面の簡単な説明】

【図1】システムボードにおけるメモリモジュールの構成例を示す図である。

【図2】従来の出力ドライバの1つの構成を示す回路図である。

【図3】従来の出力ドライバの他の構成を示す回路図である。

【図4】本発明の好適な実施の形態に係る半導体メモリ装置のブロック図である。

【図5】図4に示すプログラマブル出力ドライバの第1の構成例に係る回路図である。

【図6】図4に示すプログラマブル出力ドライバの第2の構成例に係る回路図である。

【図7】図4に示す制御部のブロック図である。

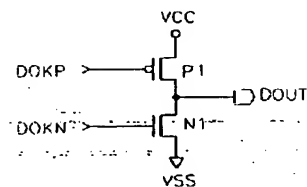
【図8】図7に示す制御信号発生部の構成例を示す図である。

【図9】図7に示す制御部の動作タイミングを示す図である。

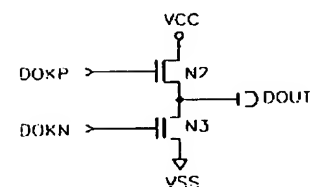
【符号の説明】

- 401 メモリセルアレイブロック
- 403 データ出力バッファ
- 405 プログラマブル出力ドライバ
- 407 制御部

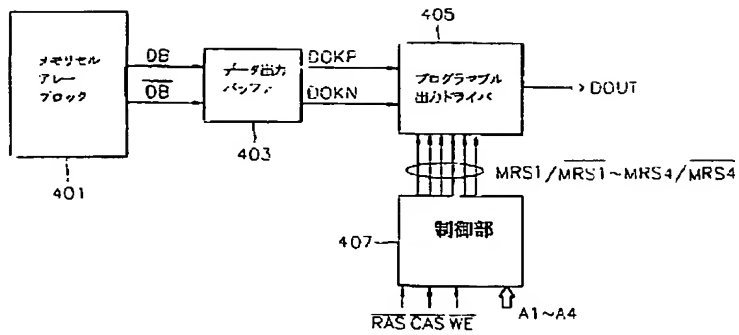
【図2】



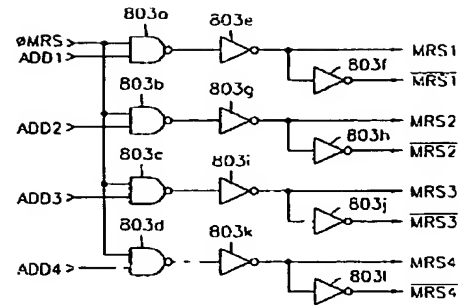
【図3】



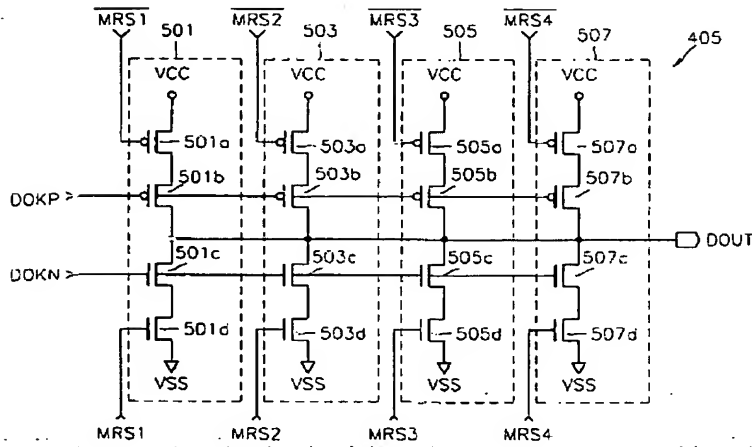
【図4】



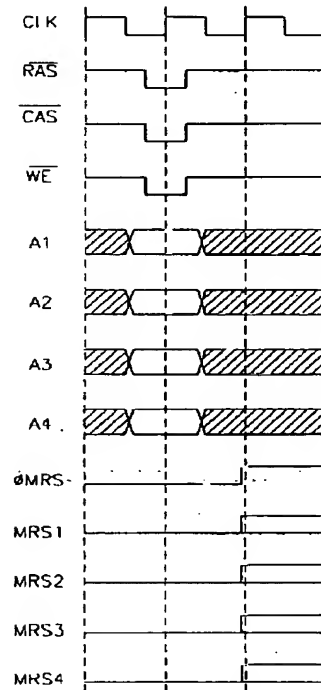
【図8】



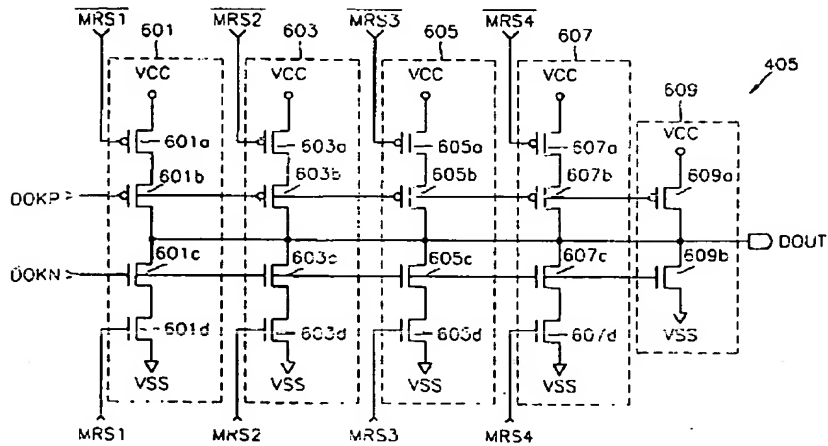
【図5】



【図9】



【図6】



【図7】

